

中華民國專利公報 [19] [12]

[11]公告編號：506067

[44]中華民國 91 年 (2002) 10 月 11 日
發明

全 48 頁

[51] Int.Cl⁰⁷： H01L21/763

[54]名稱：半導體裝置及終端裝置

[21]申請案號： 090118581

[22]申請日期：中華民國 90 年 (2001) 07 月 31 日

[30]優先權： [31]2000-262445 [32]2000/08/31 [33]日本

[72]發明人：

前田茂伸 日本

[71]申請人：

三菱電機股份有限公司 日本

[74]代理人： 賴經臣 先生

1

2

[57]申請專利範圍：

1. 一種半導體裝置，其包含有：

N 個碼生成部，係以一對一之方式對應 N ($1 \leq N$) 個半導體基板而形成，且於各個所對應之半導體基板上生成固有的辨識碼；以及

N 個記憶體，係以一對一之方式對應上述 N 個辨識碼而形成，用以記憶與每一對應之辨識碼一致的碼以作為記憶碼，且形成在與每一對應之半導體基板不同的另一半導體基板上。

2. 如申請專利範圍第 1 項之半導體裝置，其中，上述 N 個記憶體之每個具備記憶上述記憶碼之 OTPROM。

3. 如申請專利範圍第 1 項之半導體裝置，其中，上述 N 個碼生成部之各個具備，半導體元件；以及編碼電路，根據上述半導體元件的電性特性之不均等而使值變化，藉以變換上述半導體元件的電性特性

為數位形式的信號，而生成、輸出上述辨識碼。

4. 如申請專利範圍第 3 項之半導體裝置，其中，上述半導體元件為多晶體，上述半導體元件的上述電性特性的不均等，係來自於上述多晶體的結晶構造的不均等。

5. 如申請專利範圍第 1 項之半導體裝置，其中，上述 N 個碼生成部之每個具備記憶上述辨識碼之 OTPROM。

6. 如申請專利範圍第 1 項之半導體裝置，其又具備 N 個比較電路，係以一對一之方式對應上述 N 個辨識碼而形成，用以比較每一對應之辨識碼與對應之記憶碼，判定此等雙方是否一致，且輸出表現該結果的判定信號者。

7. 如申請專利範圍第 6 項之半導體裝置，其中，上述 N 個比較電路之各

個係形成在與作為比較對象之辨識碼對應之上述半導體基板上。

- 8.如申請專利範圍第7項之半導體裝置，其又具備N個鍵生成部、N個密碼化電路以及N個解碼電路，此等電路係以一對一之方式對應上述N個辨識碼而形成；上述N個鍵生成部之各個、上述N個密碼化電路之各個以及上述N個解碼電路之各個，係形成在對應於對應之辨識碼之上述半導體基板上；而且上述N個鍵生成部之各個，係在對應之上述半導體基板上生成密碼化用的固有鍵；上述N個密碼化電路之各個，係按照對應之鍵將對應之半導體基板上形成之上述碼生成部所生成的上述辨識碼予以密碼化，且以被密碼化之形式傳遞至對應之上述記憶體；上述N個記憶體之各個，係記憶對應之密碼化電路輸出之已為密碼化形式之上述辨識碼，以作為已被密碼化形式之上述記憶碼；上述N個解碼電路之各個，係按照對應之鍵將對應之記憶體記憶之已密碼化的上述記憶碼予以解碼；以及上述N個比較電路之各個，係比較對應之編碼電路所生成的上述辨識碼，與對應之解碼電路所生成的已解碼之上述記憶碼。
- 9.如申請專利範圍第8項之半導體裝置，其中，上述N個鍵生成部之各個具備，另外的半導體元件；以及編碼電路，根據上述半導體元件的電性特性的不均等而使值變化，藉以變換上述另外的半導體元件的電性特性為另外的數位形式的信號，而生成、輸出上述鍵。
- 10.如申請專利範圍第6項之半導體裝

置，其又具備指定電路，係包括依賴分別對應於上述N個辨識碼之上述N個判定信號，而形成選擇性地動作或非動作的電路部分。

5. 11.如申請專利範圍第10項之半導體裝置，其中，上述指定電路係與對應之比較電路一起形成於上述N個半導體基板中一個基板上。
- 12.一種終端裝置，其係具備申請專利範圍第10或11項之半導體裝置，上述指定電路係為在與外部之間進行信號的發送以及接收的通信電路，當上述N個判定信號顯示上述N個辨識碼中至少一碼與對應之記憶碼之間產生不一致時，即停止發送或接收中至少一方之動作。
- 13.一種終端裝置，其係具備申請專利範圍第6至9項中任一項之半導體裝置，以及在與外部之間進行信號之發送及接收的通信電路，上述通信電路係將上述N個判定信號作為上述信號的一部分發送至上述外部。
- 14.一種終端裝置，其係具備申請專利範圍第1至5項中任一項之半導體裝置，以及在與外部之間進行信號的發送及接收的通信電路，上述通信電路係將上述N個辨識碼與上述N個記憶碼作為上述信號的一部分發送至上述外部。
- 15.如申請專利範圍第14項之終端裝置，其中，上述個數N係為1，上述N個碼生成部與上述通信電路係組入本體部內，上述N個記憶體係組入可自由拆裝於上述本體部的輔助部內。
35. 圖式簡單說明：
圖1為顯示本發明之實施形態1之半導體裝置之結構的方塊圖。
圖2為顯示圖1之碼生成部之內部
- 40.

結構的方塊圖。

圖3為顯示圖2之半導體元件的俯視圖。

圖4為沿著圖3中之半導體元件的A-A剖切線所作的剖面圖。

圖5為顯示圖2之半導體元件的俯視圖。

圖6為顯示圖2之半導體元件的特性的曲線圖。

圖7為顯示圖1之碼生成部的另外一例的方塊圖。

圖8為圖1之記憶體的方塊圖。

圖9為實施形態1之終端裝置的結構的方塊圖。

圖10為圖9之通信電路的方塊圖。

圖11為使用至圖9之終端裝置為止的操作步驟的流程圖。

圖12為實施形態1之通信系統的方塊圖。

圖13為實施形態2之半導體裝置的方塊圖。

圖14為實施形態2之終端裝置的方塊圖。

圖15為使用至圖13之終端裝置為止的操作步驟的流程圖。

圖16為實施形態3之終端裝置的方塊圖。

圖17為使用圖16之終端裝置的通信方法的流程圖。

圖18為實施形態3之終端裝置的另一例的方塊圖。

圖19為使用圖18之終端裝置的通信方法的流程圖。

圖20為實施形態4之終端裝置的方塊圖。

圖21為使用圖20之終端裝置的通信方法的流程圖。

圖22為實施形態4之終端裝置的另一例的方塊圖。

圖23為使用圖22之終端裝置的通信方法的流程圖。

圖24為實施形態5之半導體裝置的方塊圖。

5. 圖25為圖24之鍵生成部的方塊圖。

圖26為圖24之鍵生成部的另一例的方塊圖。

10. 圖27為使用至組入圖24之半導體裝置之終端裝置為止的操作步驟的流程圖。

圖28為實施形態5之半導體裝置的另一例的方塊圖。

15. 圖29為使用至組入圖28之半導體裝置之終端裝置為止的操作步驟的流程圖。

圖30為實施形態6之半導體裝置的方塊圖。

20. 圖31為實施形態7之終端裝置的方塊圖。

圖32為實施形態7之終端裝置的另一例的方塊圖。

圖33為實施形態8之終端裝置的方塊圖。

25. 圖34為使用至圖33之終端裝置為止的操作步驟的流程圖。

圖35為圖34之步驟S509的流程圖。

30. 圖36為圖34之步驟S509的流程圖。

圖37為實施形態9之終端裝置的方塊圖。

圖38為使用至圖37之終端裝置為止的操作步驟的流程圖。

35. 圖39為圖38之步驟S709的流程圖。

圖40為圖38之步驟S709的流程圖。

40. 圖41為圖38之步驟S709的另一例的流程圖。

(4)

7

圖 42 為圖 41 之步驟 S742 的流程圖。

圖 43 為圖 41 之步驟 S742 的流程圖。

圖 44 為圖 38 之步驟 S709 的另一例的流程圖。

圖 45 為圖 38 之步驟 S709 的另一例的流程圖。

圖 46 為實施形態 9 之終端裝置的另一例的方塊圖。

圖 47 為實施形態 10 之通信方法的說明圖。

圖 48 為實施形態 10 之終端裝置的方塊圖。

圖 49 為實施形態 10 之終端裝置的另一例的方塊圖。

圖 50 為圖 49 之鍵生成部的方塊圖。

圖 51 為圖 49 之終端裝置的鍵生成部的流程圖。

圖 52 為實施形態 10 之終端裝置的另一例的方塊圖。

圖 53 為圖 52 之終端裝置的動作說明圖。

8

圖 54 為顯示與圖 53 對比之動作的說明圖。

圖 55 為實施形態 10 之通信方法的另一例的說明圖。

5. 圖 56 為實施形態 11 之通信方法的說明圖。

圖 57 為實施形態 12 之半導體元件的電路圖。

10. 圖 58 為圖 57 之半導體元件的動作說明圖。

圖 59 為實施形態 12 之半導體裝置的方塊圖。

圖 60 為圖 59 之編碼電路的一部分的電路圖。

15. 圖 61 為實施形態 12 之半導體元件的另一例的電路圖。

圖 62 為實施形態 12 之半導體元件的再一例的電路圖。

20. 圖 63 為實施形態 12 之半導體元件的比較電路的方塊圖。

圖 64 為習知之通信系統的處理的說明圖。

圖 65 為習知通信終端的方塊圖。

(5)

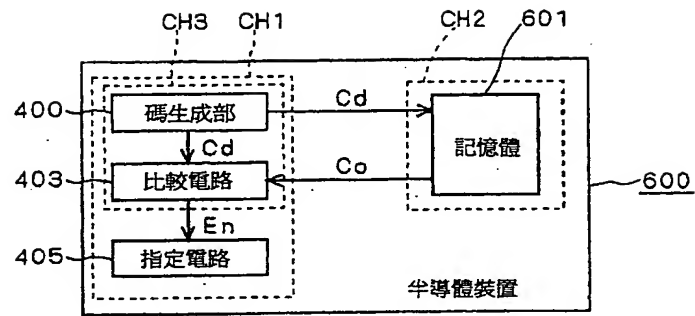


圖 1

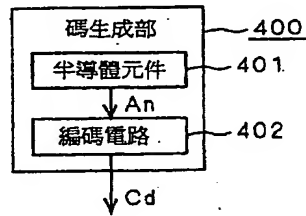


圖 2

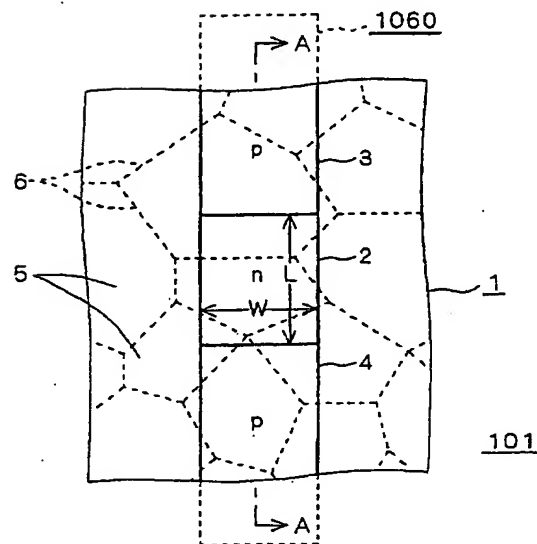


圖 3

(6)

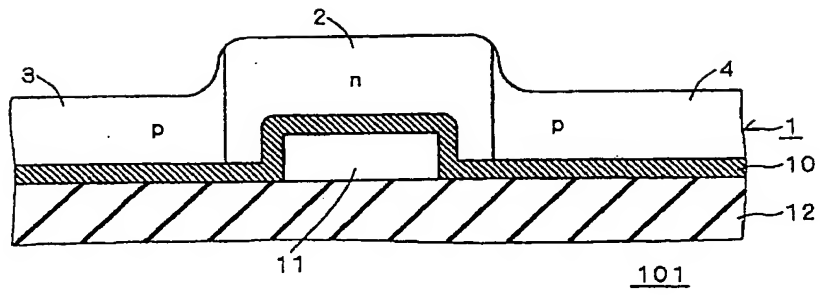


圖 4

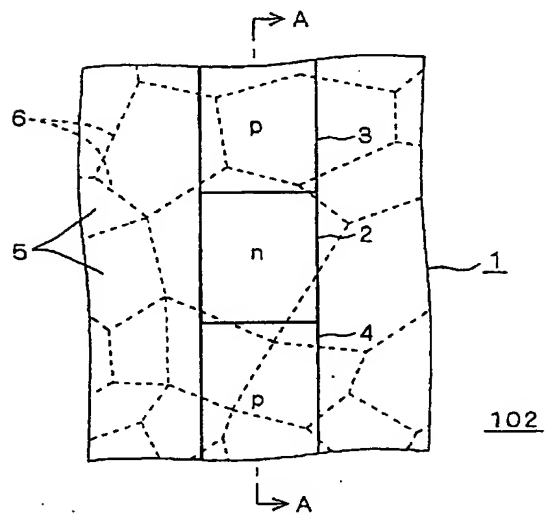


圖 5

(7)

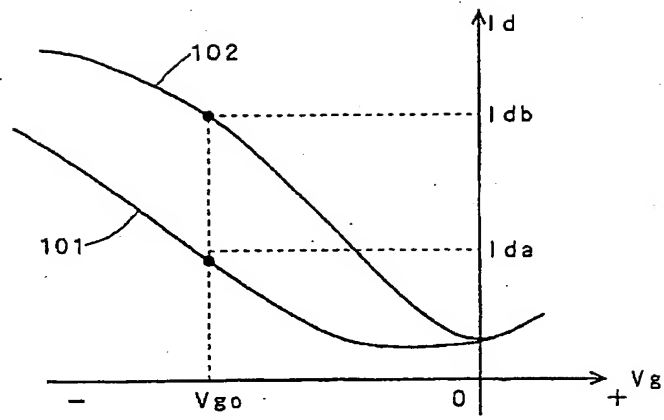


圖 6

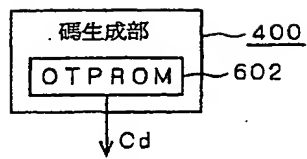


圖 7

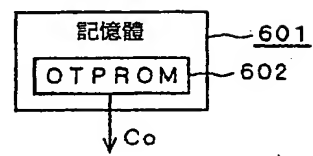


圖 8

(8)

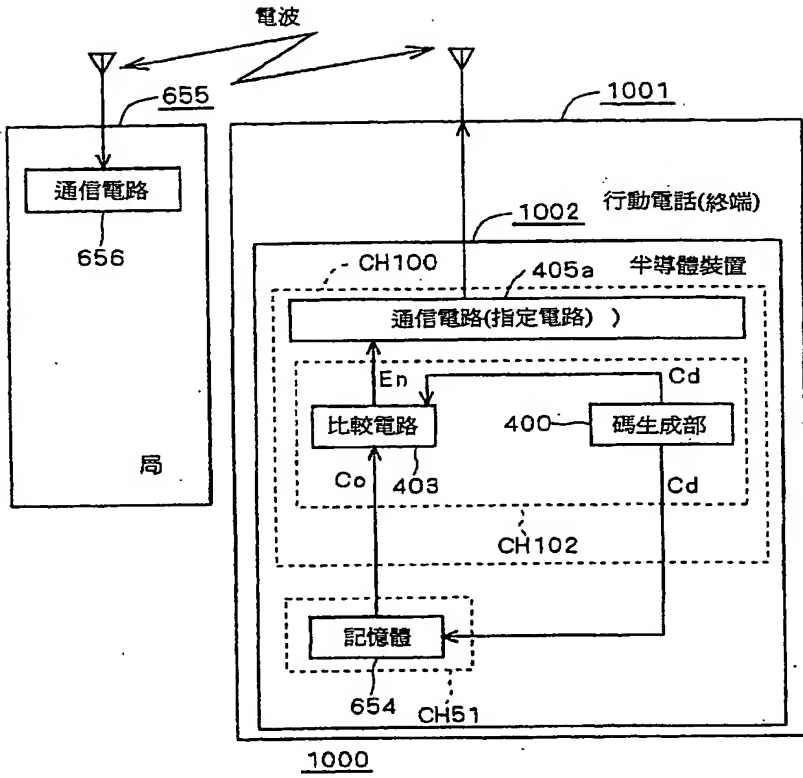


圖 9

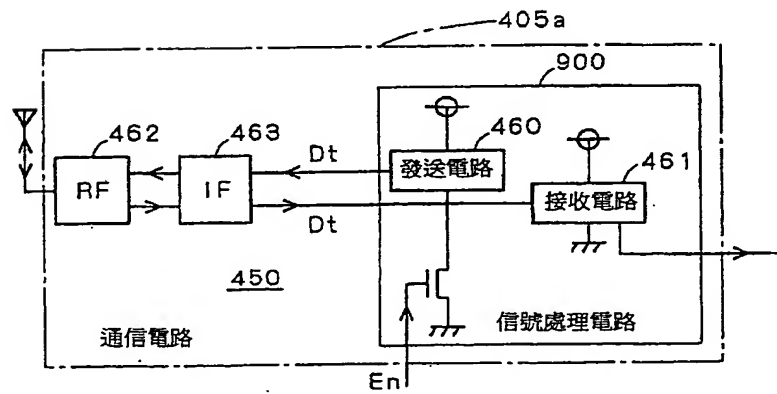


圖 10

(9)

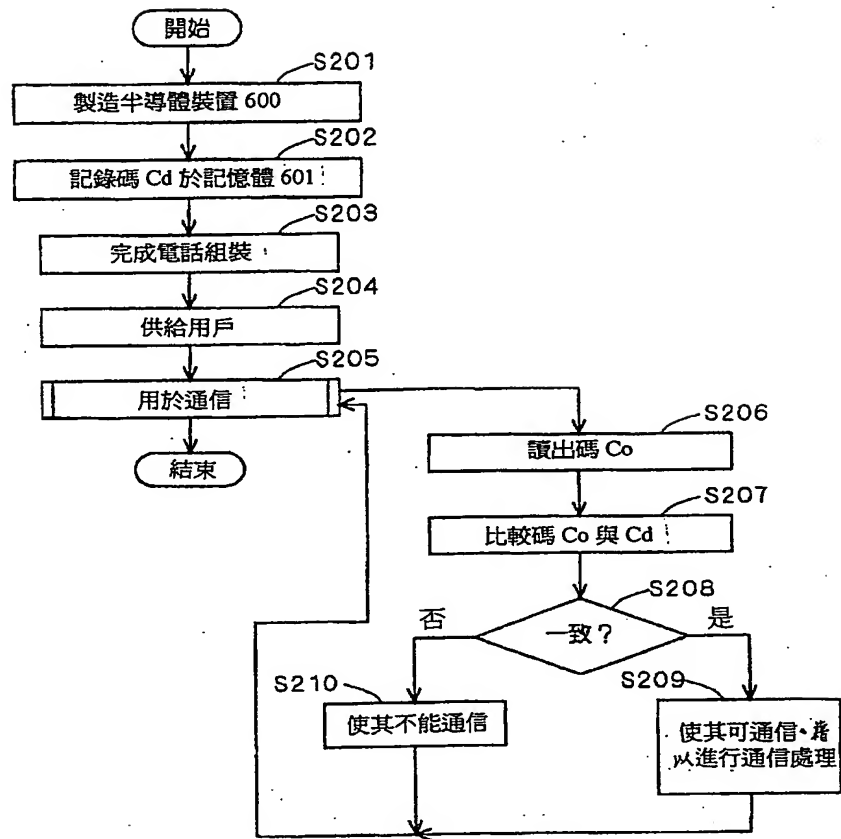


圖 11

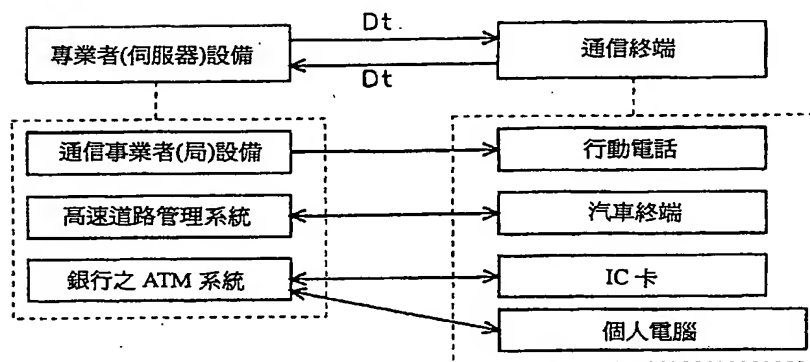


圖 12

(10)

圖 13

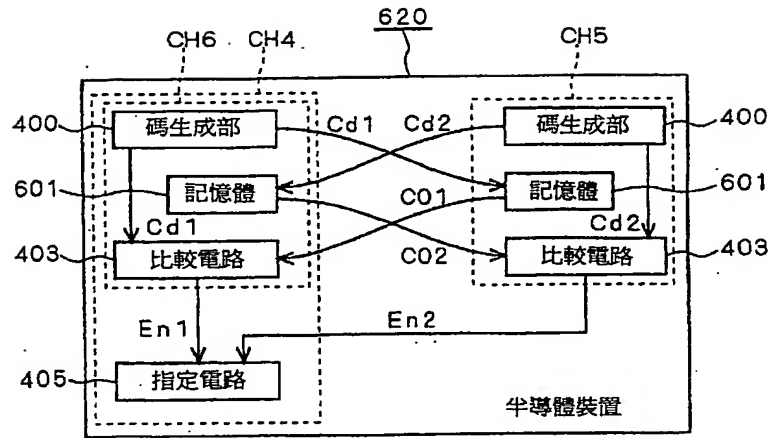
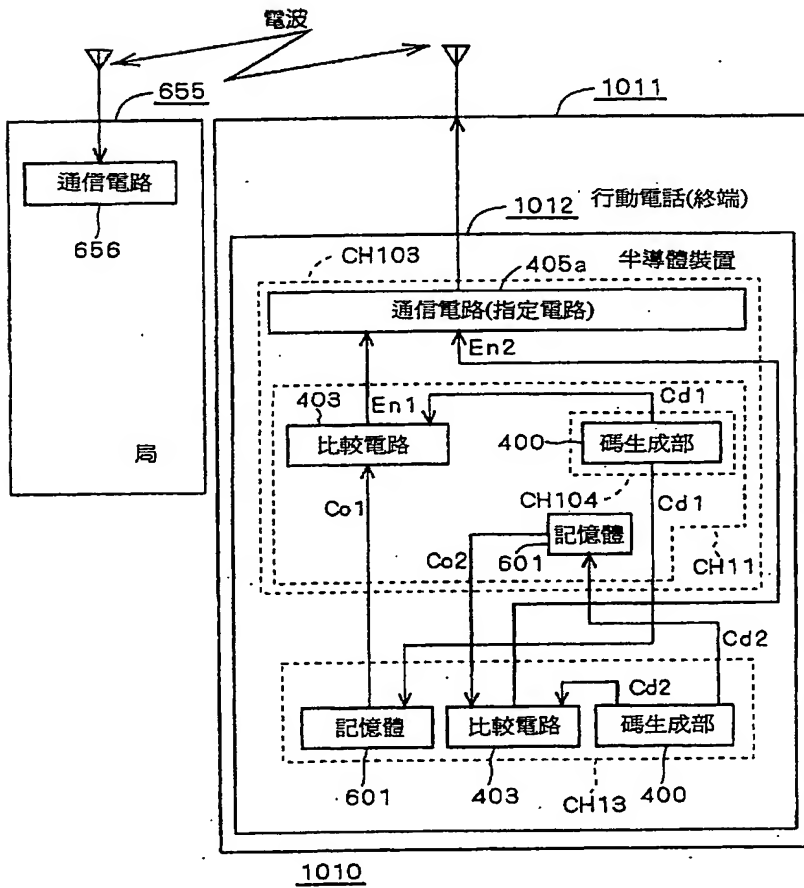


圖 14



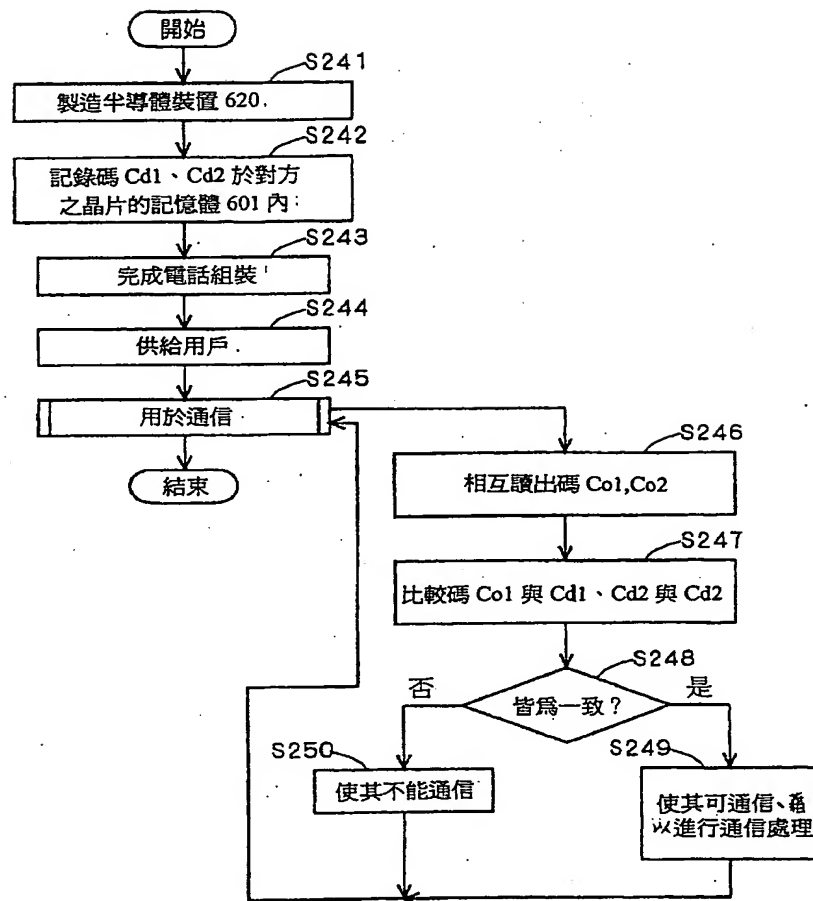


圖 15

(12)

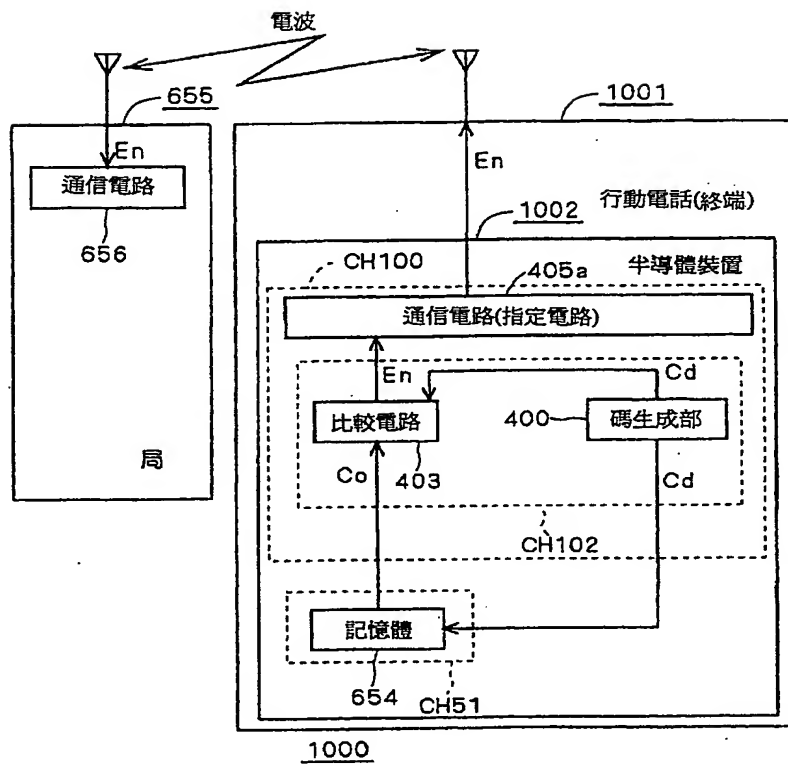


圖 16

(13)

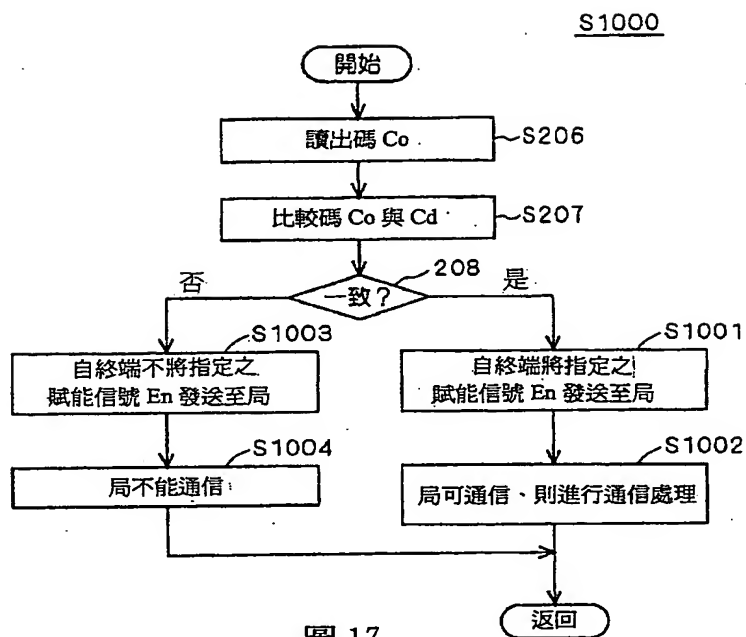


圖 17

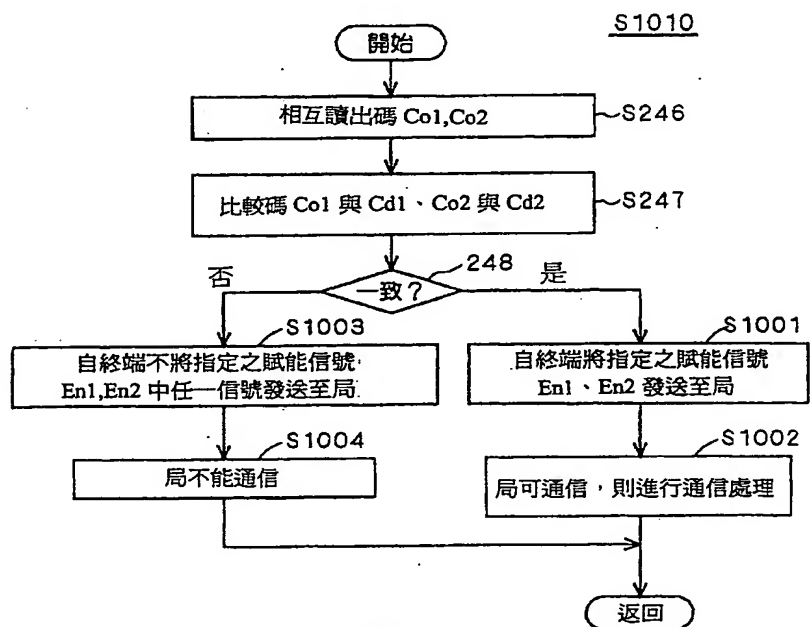


圖 19

(14)

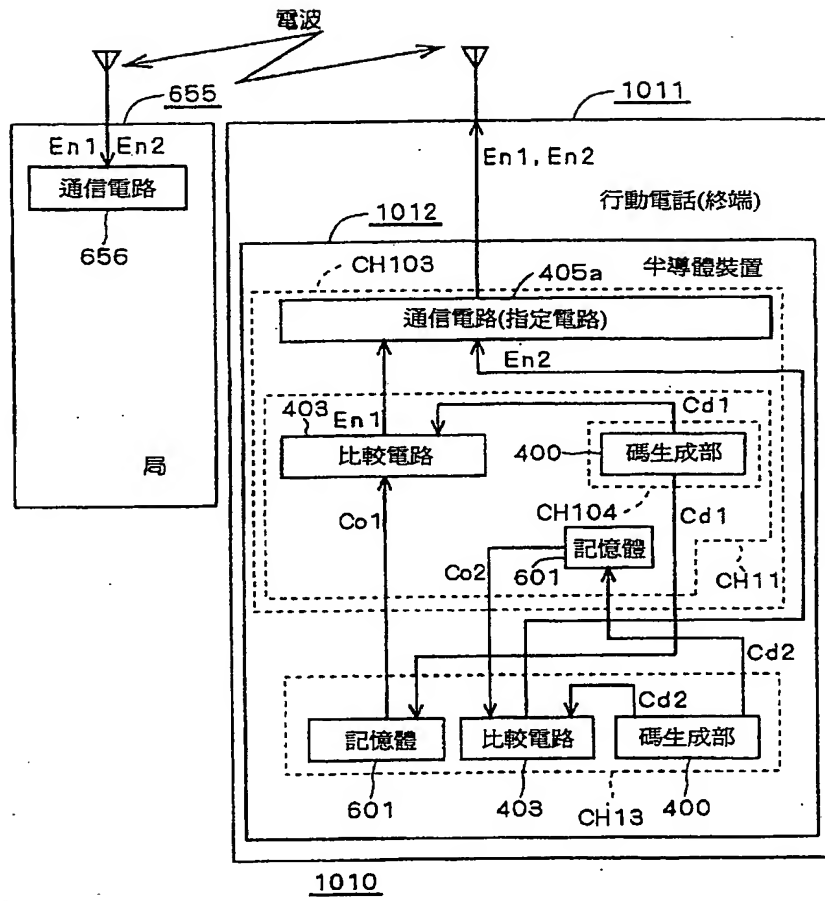


圖 18

(15)

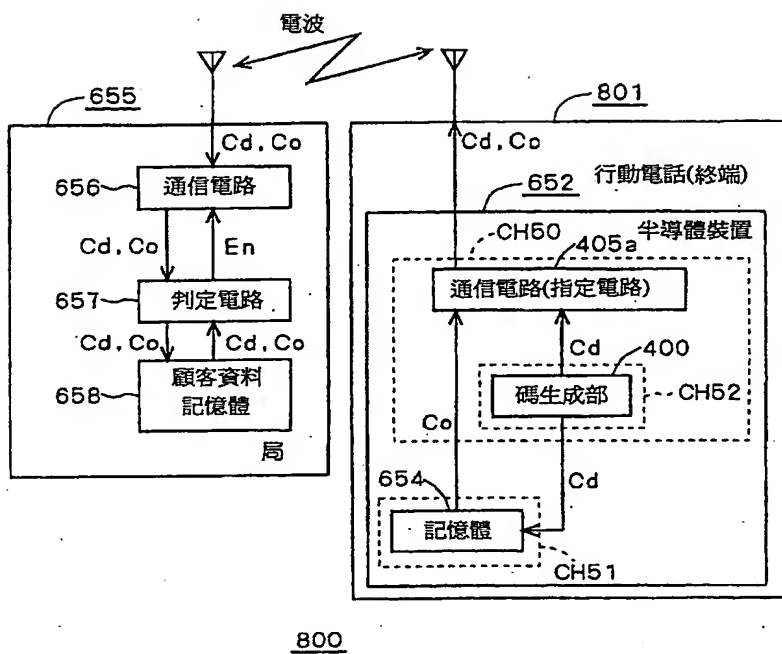


圖 20

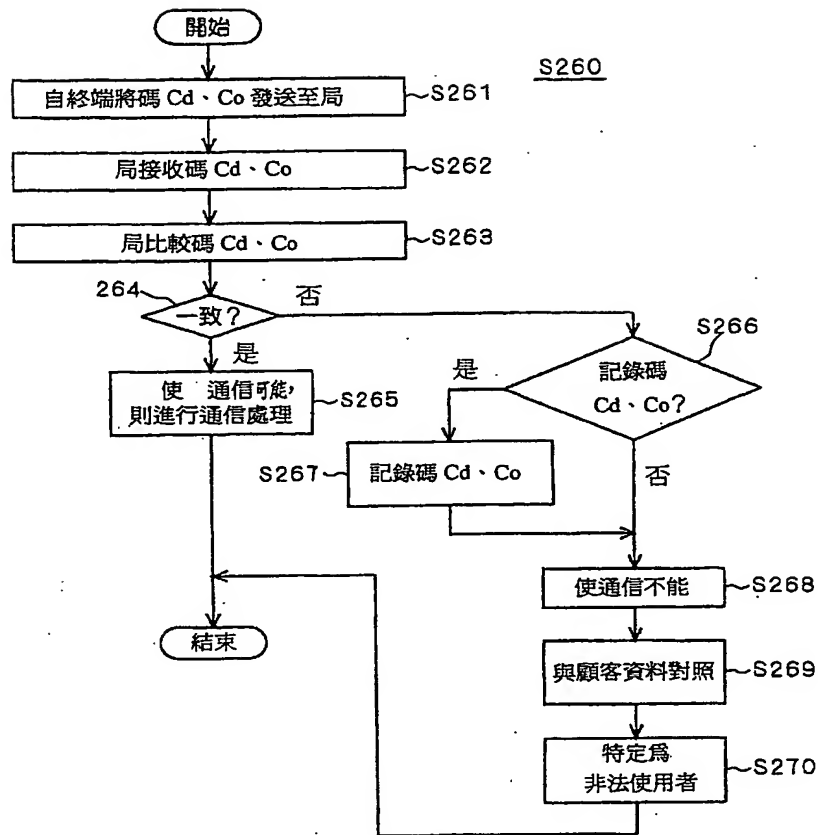
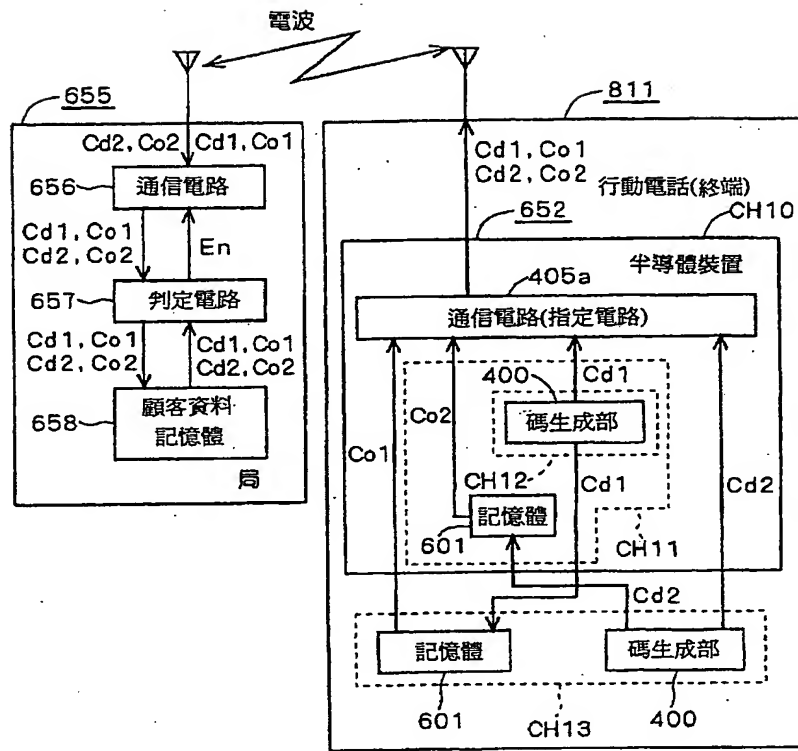


圖 21

(17)



810

圖 22

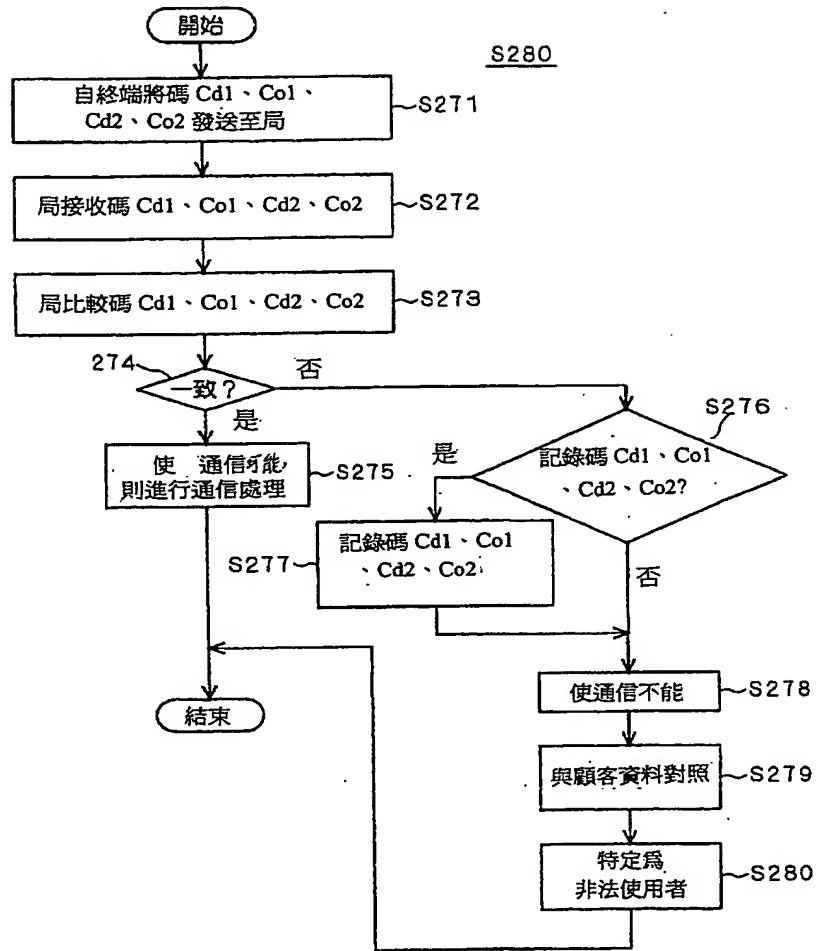


圖 23

(19)

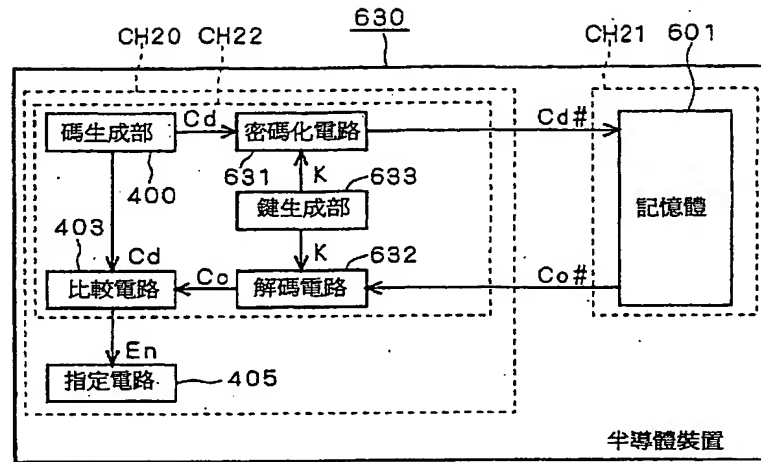


圖 24

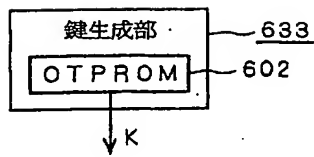


圖 25

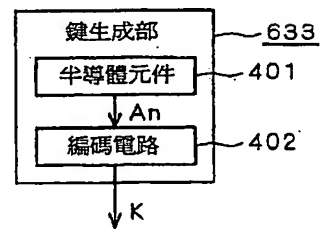


圖 26

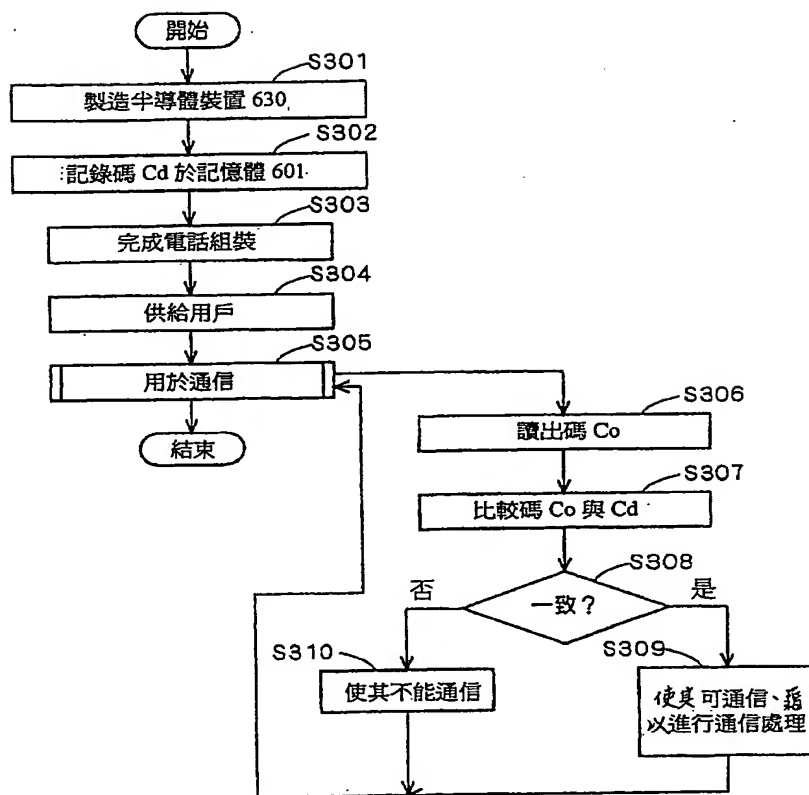


圖 27



28

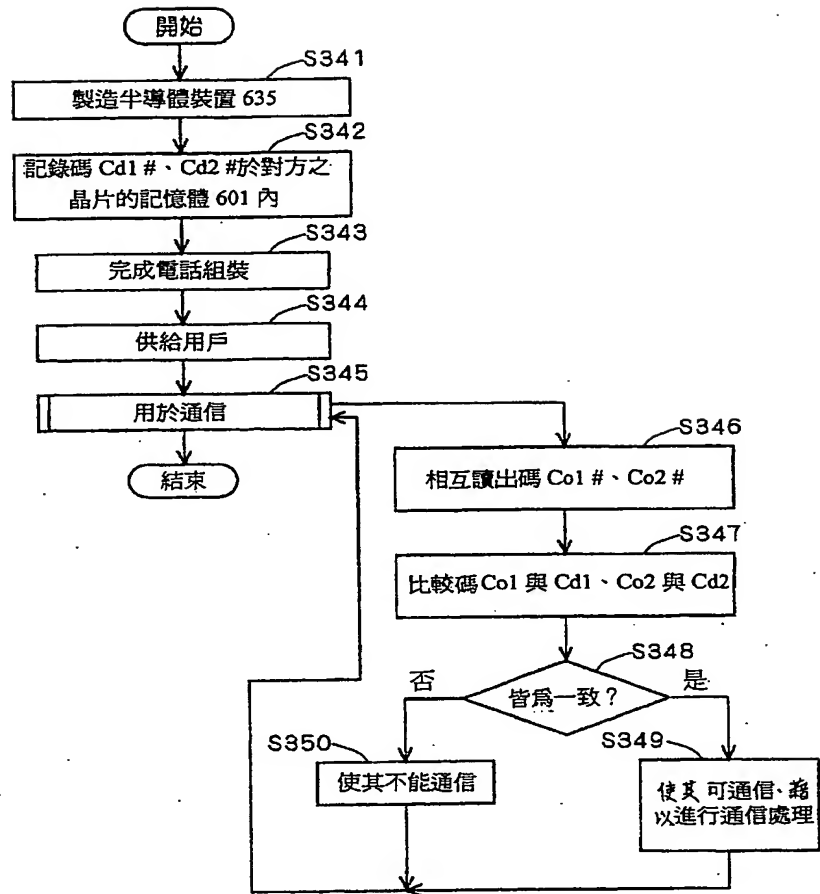


圖 29

(23)

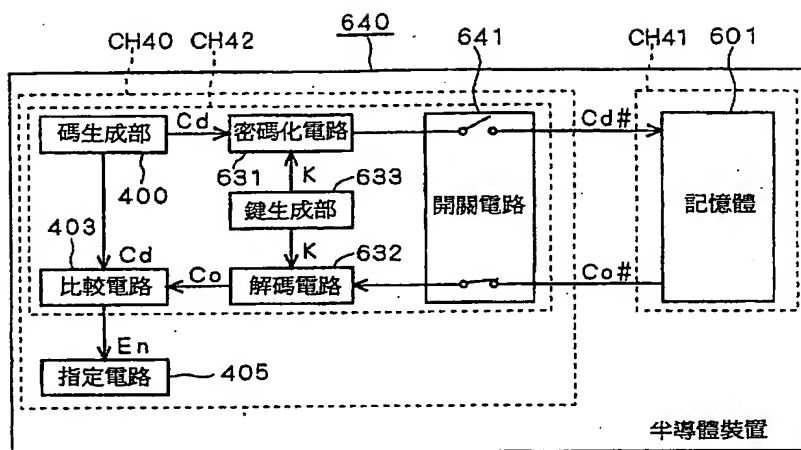
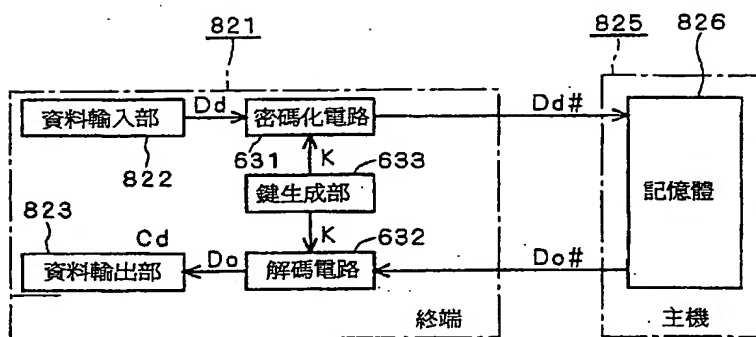


圖 30



820

圖 31

(24)

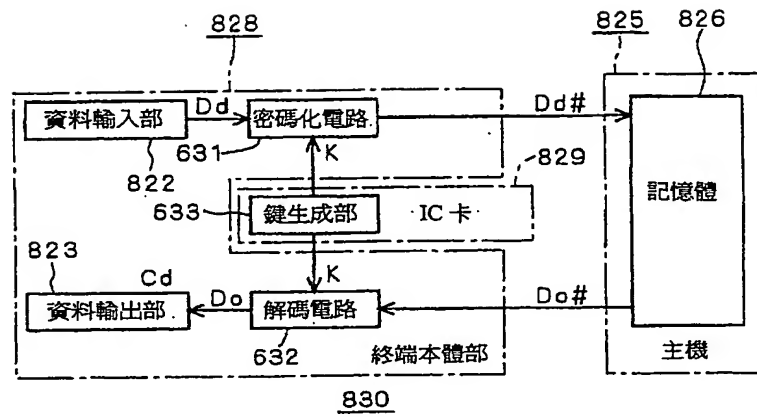


圖 32

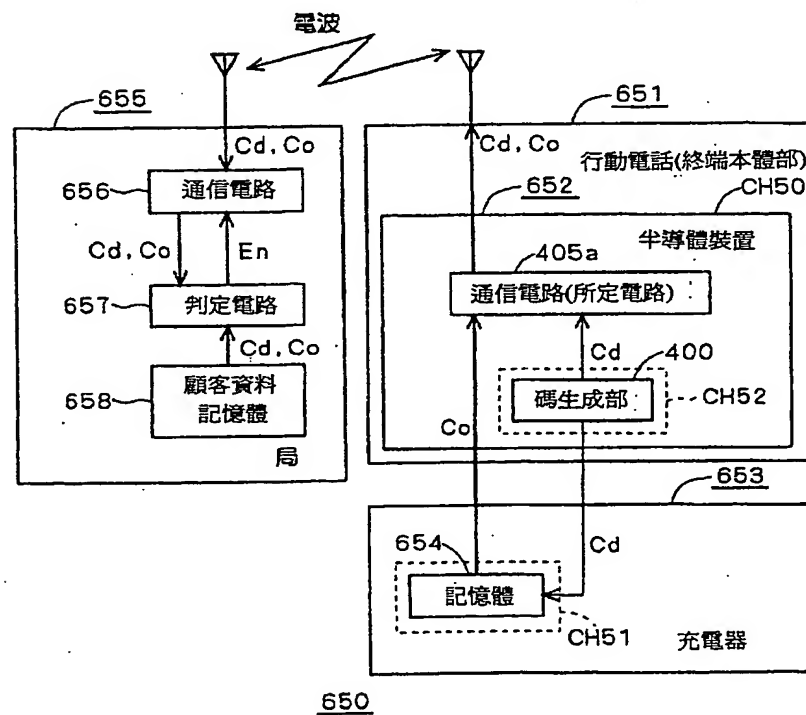


圖 33

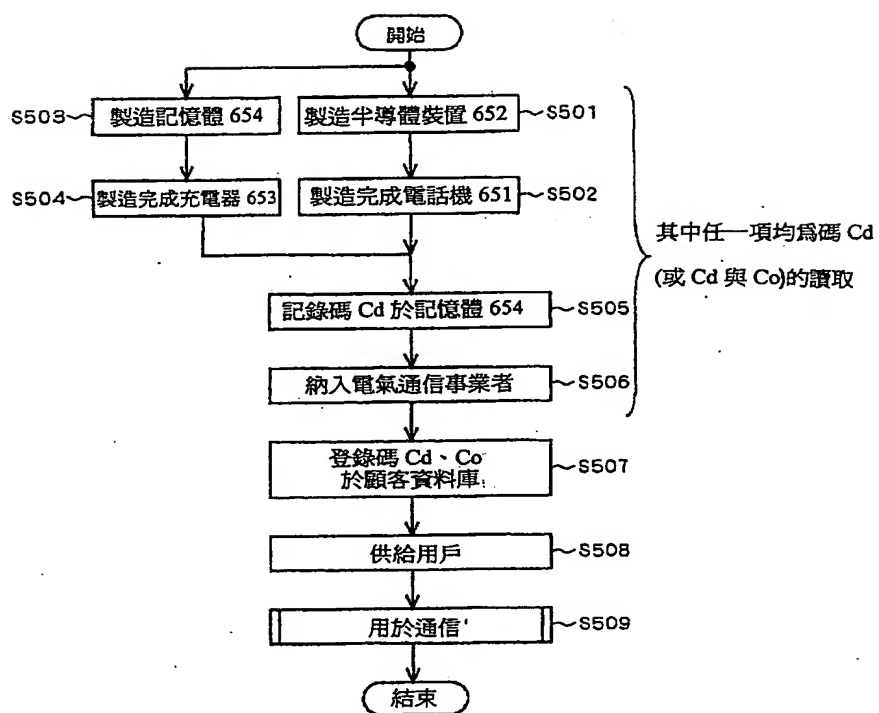


圖 34

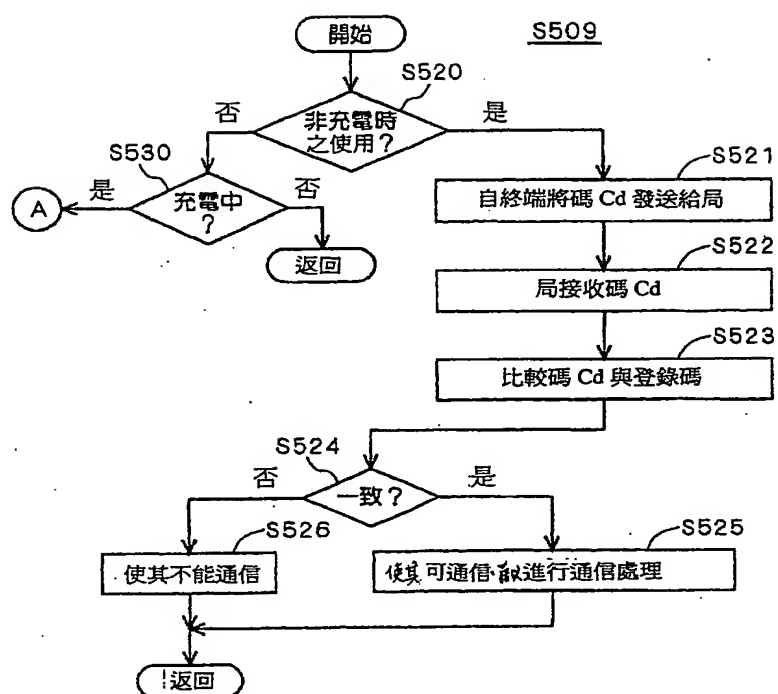


圖 35

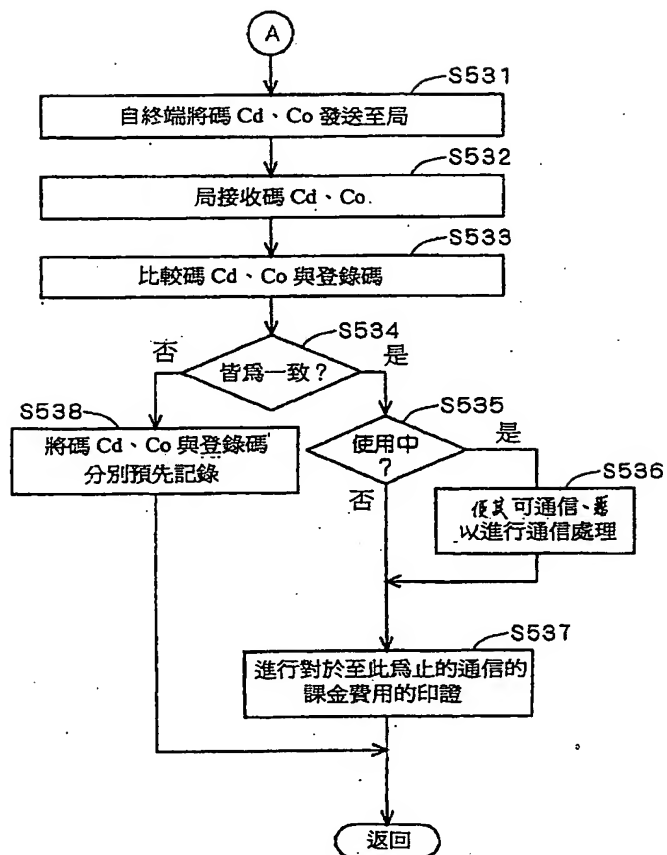
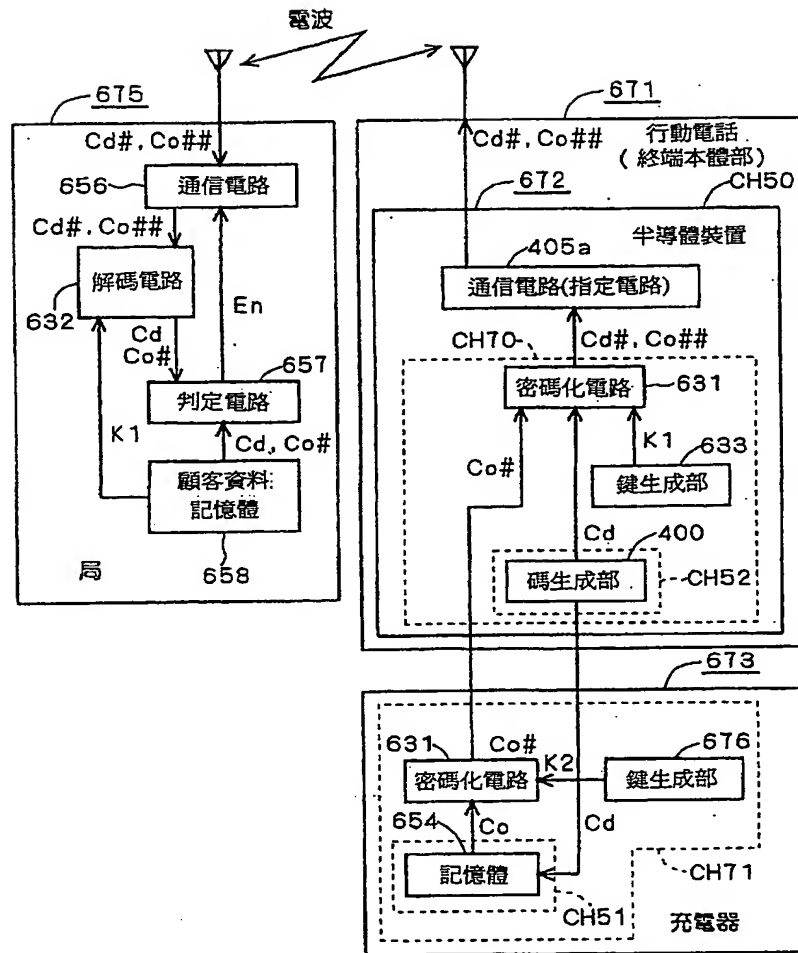


圖 36



670

圖 37

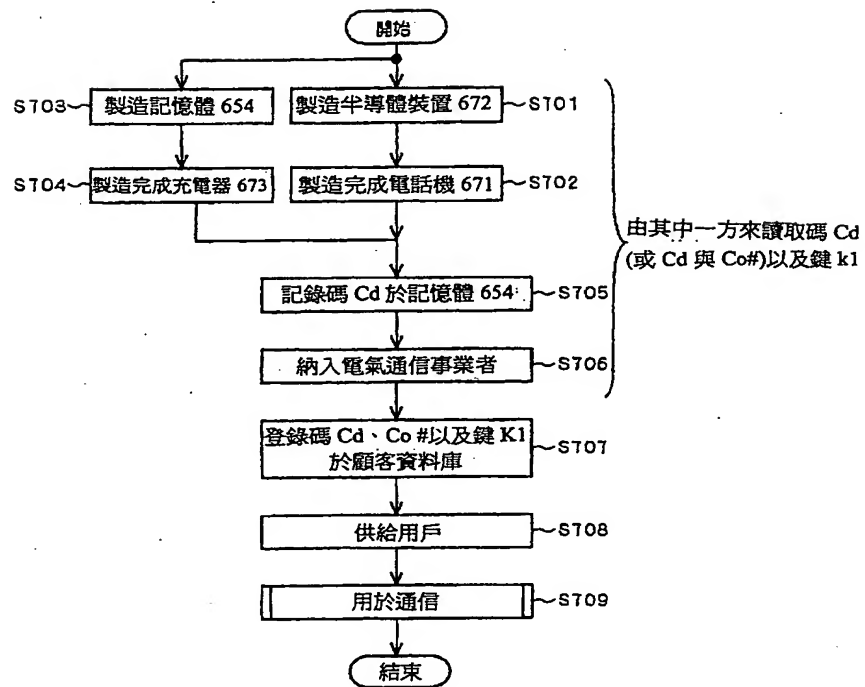


圖 38

(30)

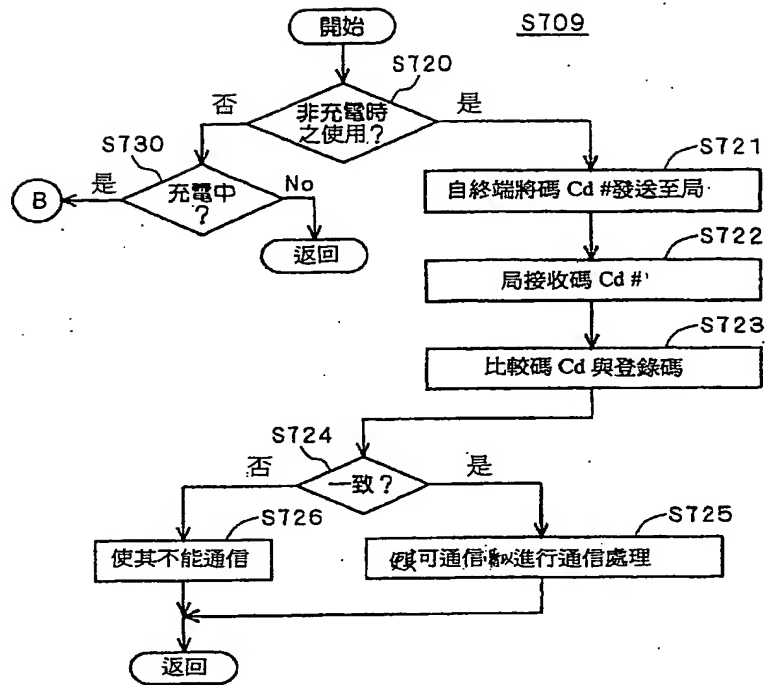


圖 39

(31)

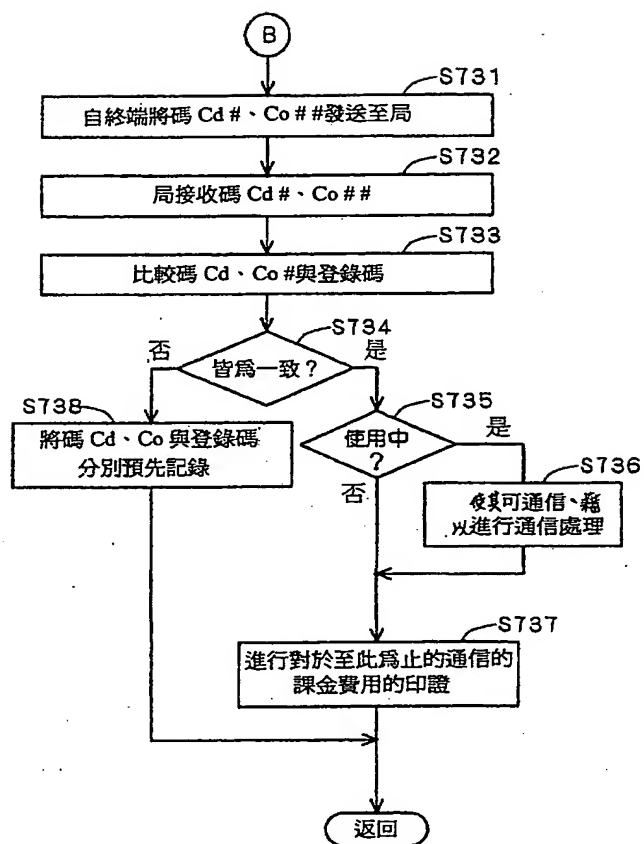


圖 40

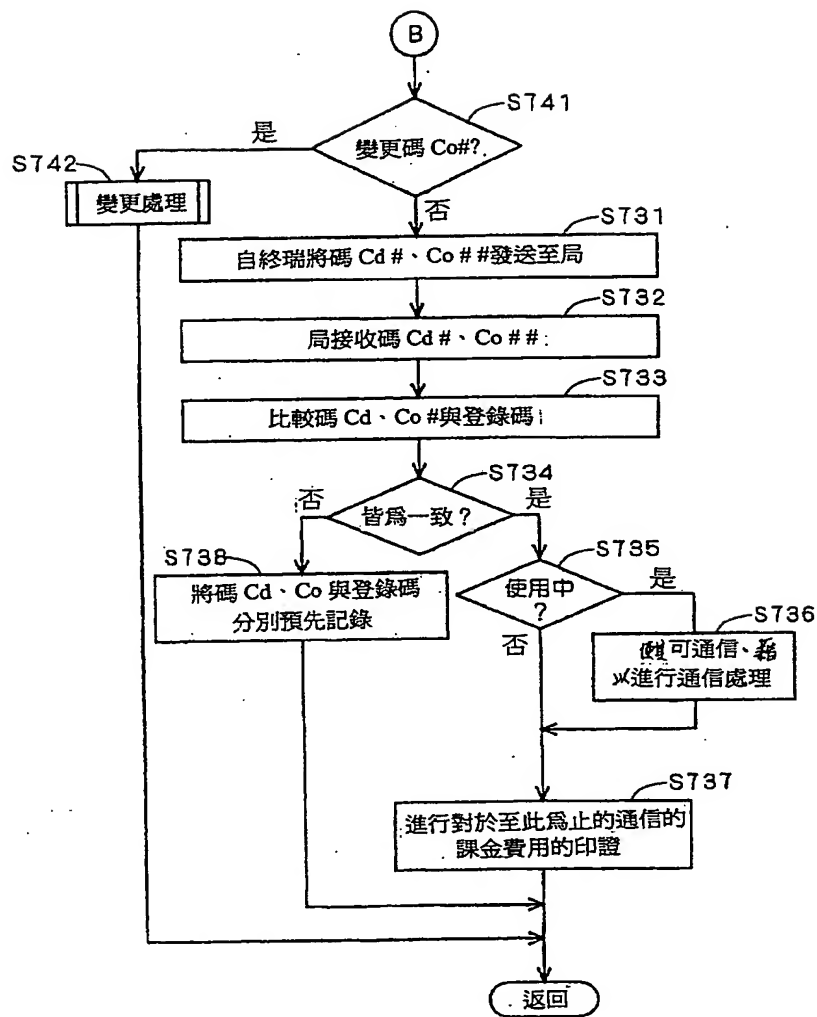


圖 41

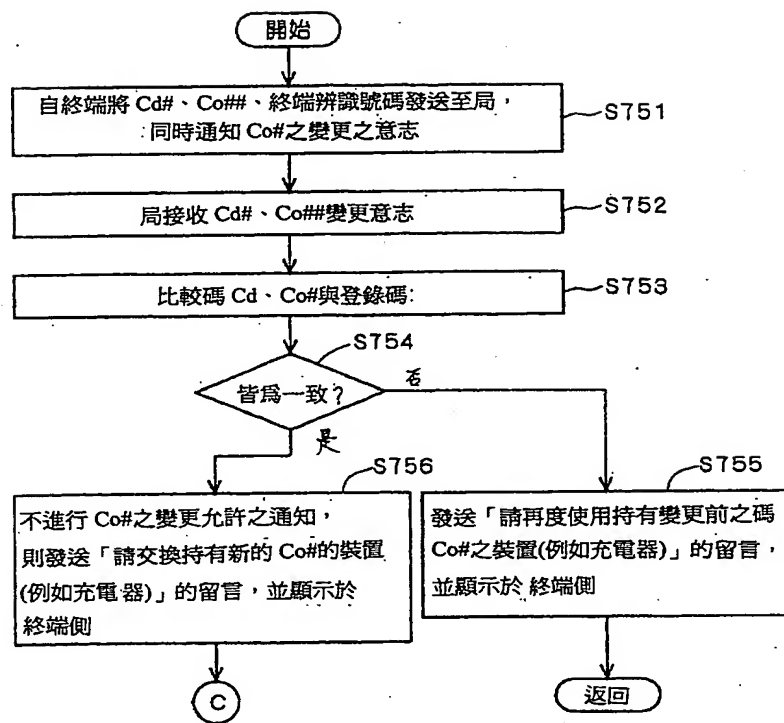
S742

圖 42

(34)

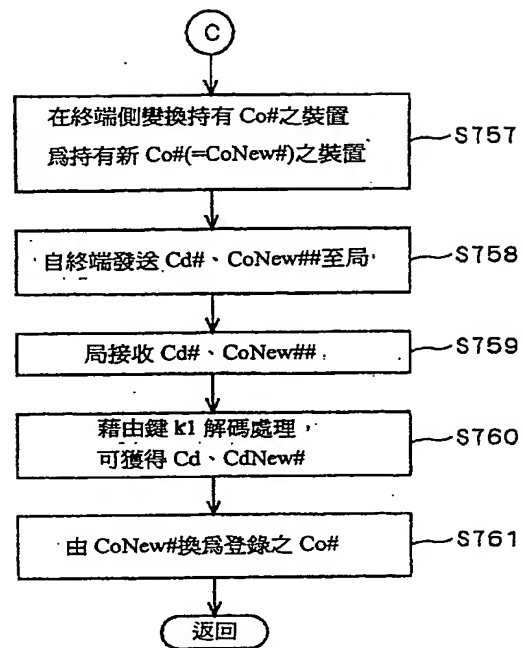


圖 43

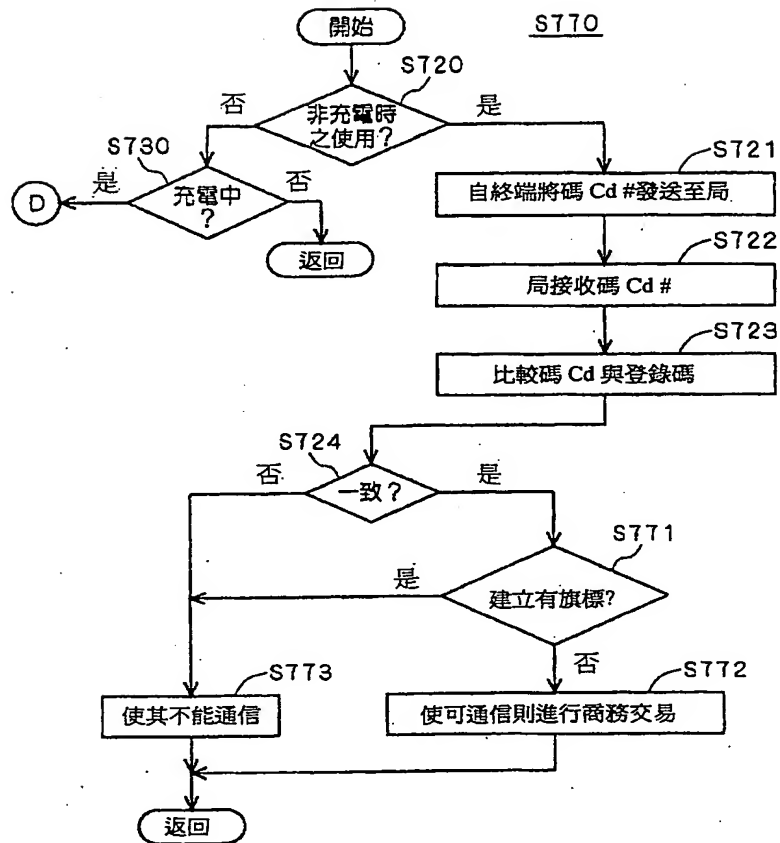


圖 44

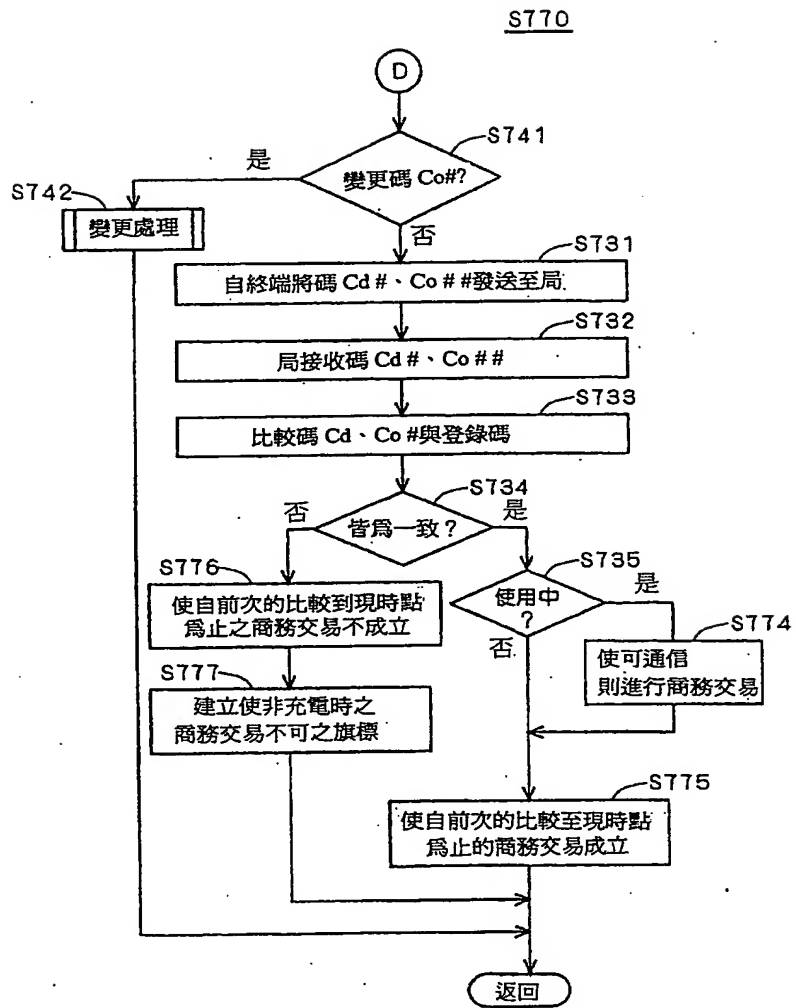


圖 45

(37)

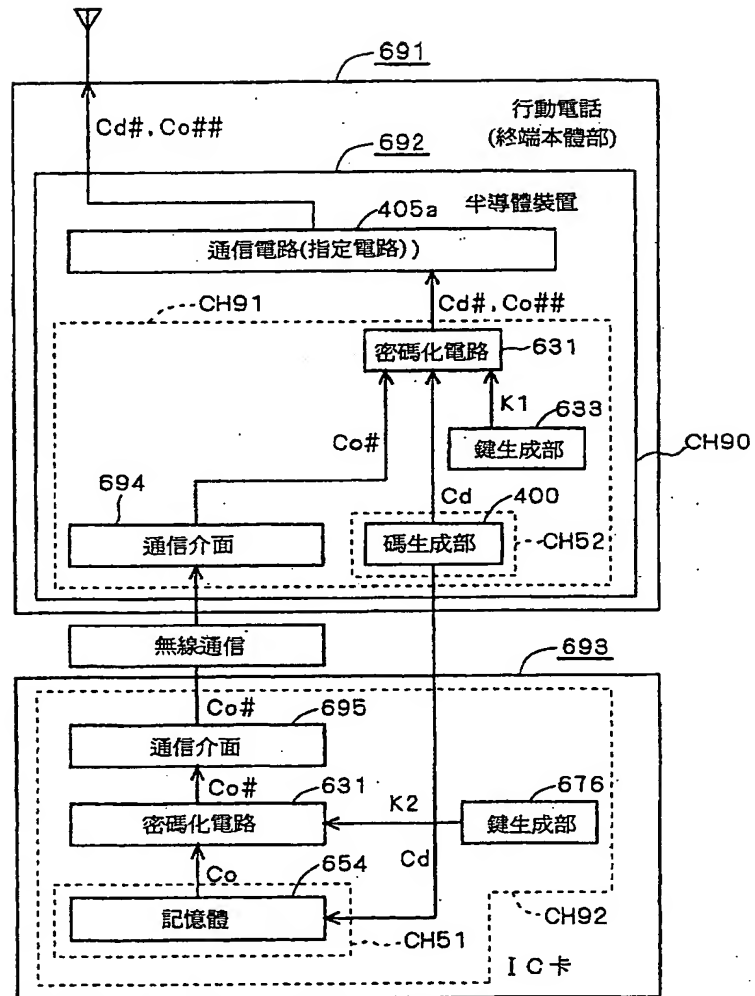


圖 46

(38)

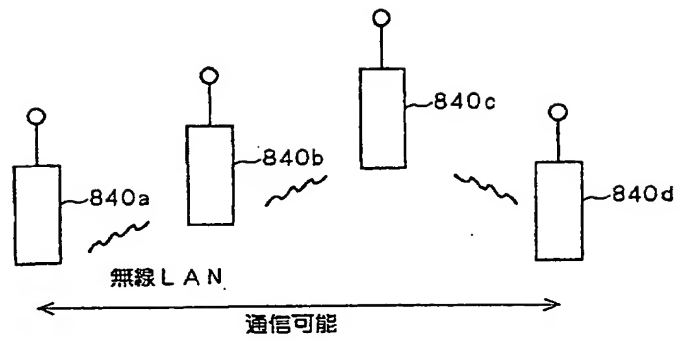


圖 47

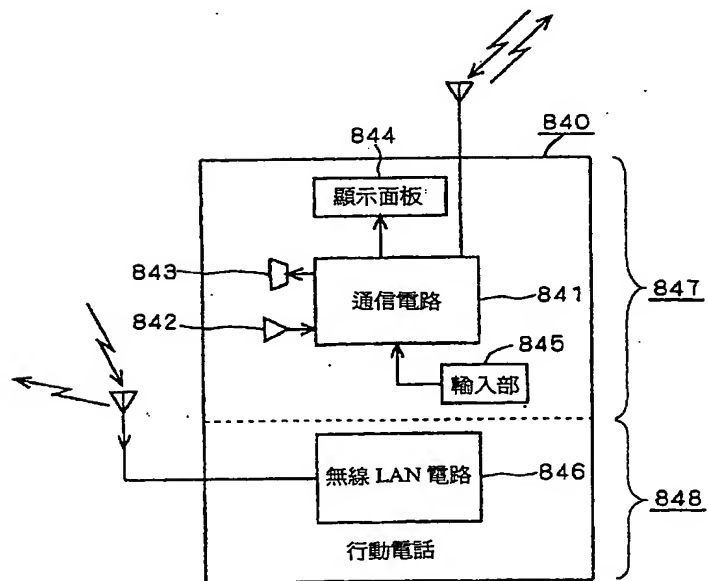


圖 48

(39)

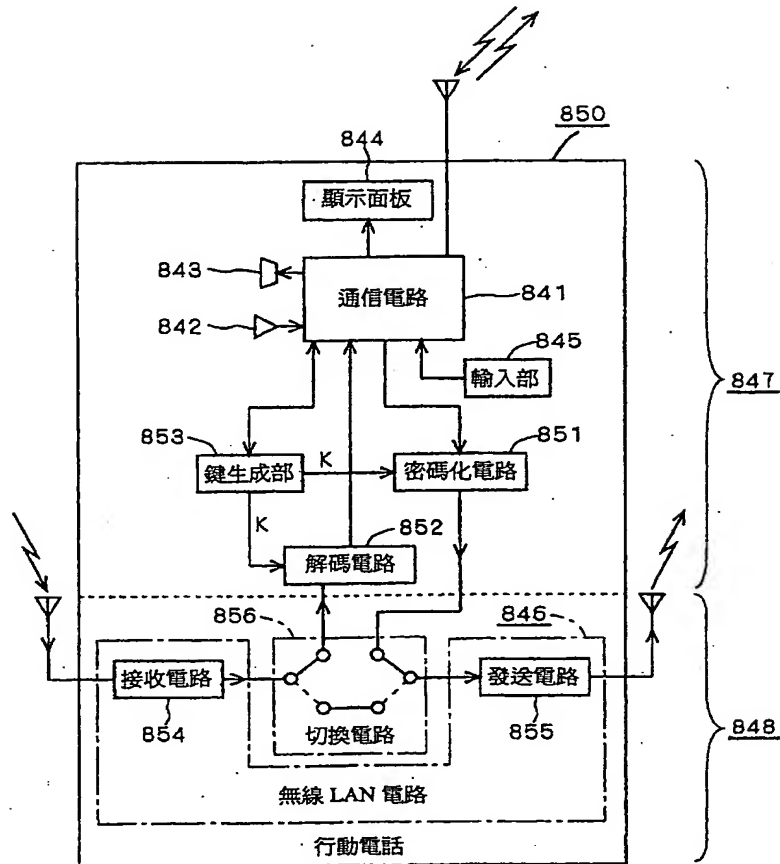


圖 49

(40)

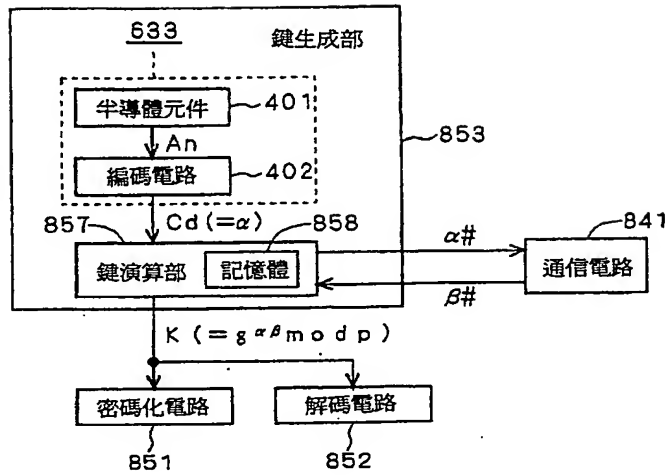
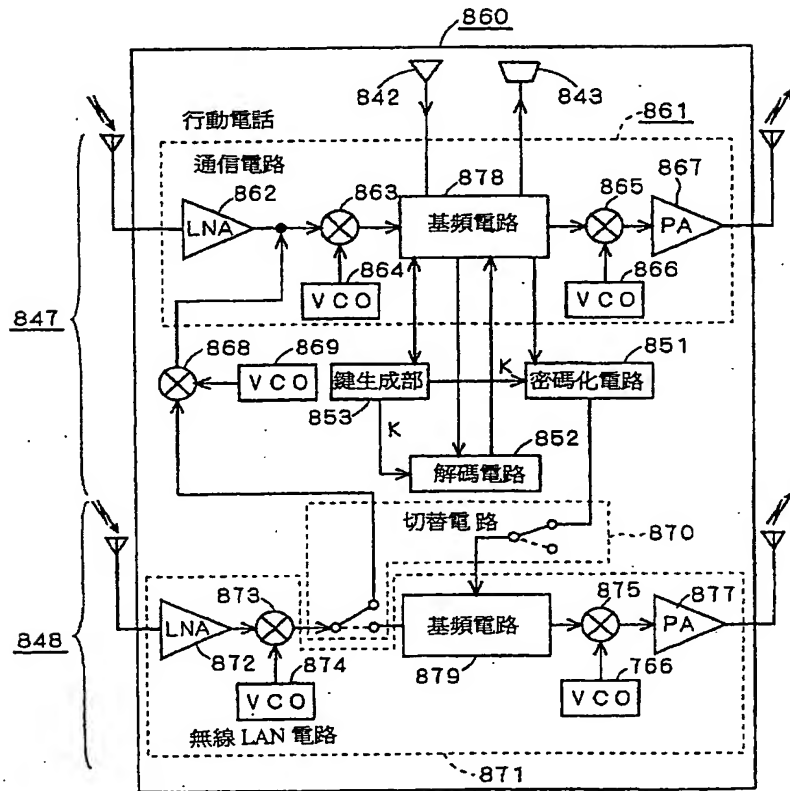


圖 50

圖 52



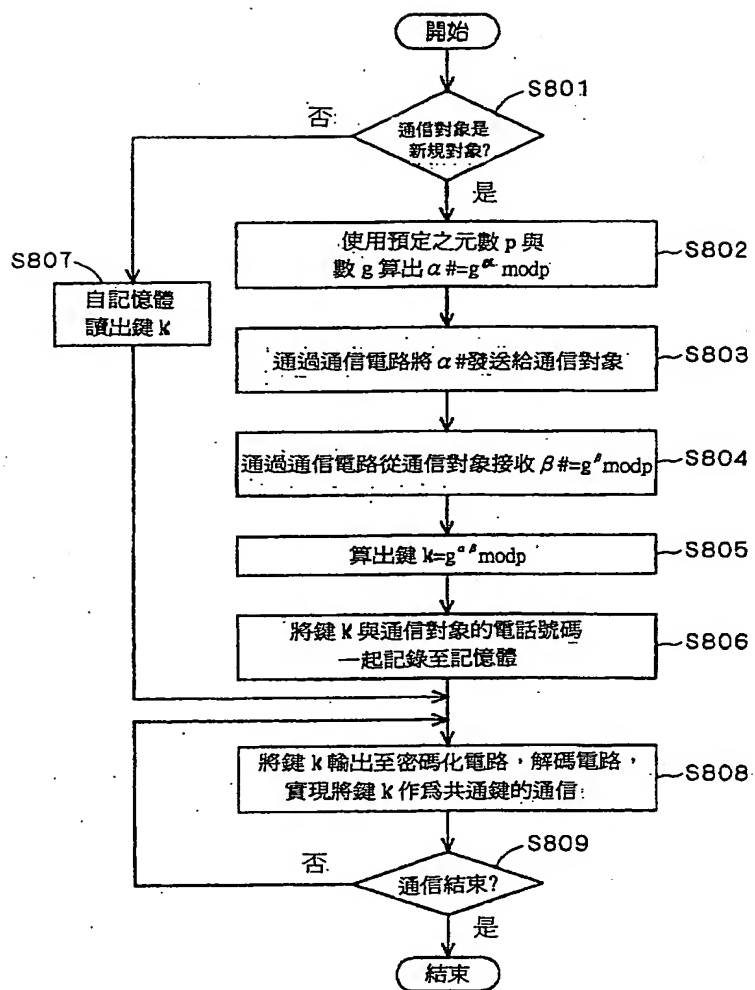


圖 51

(42)

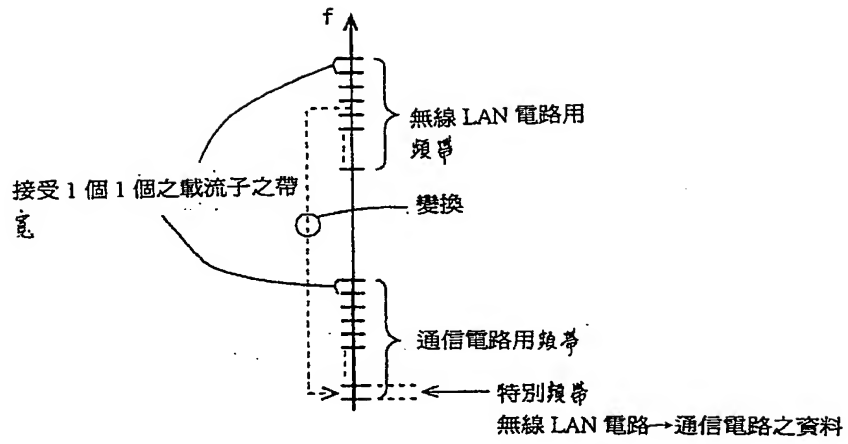


圖 53

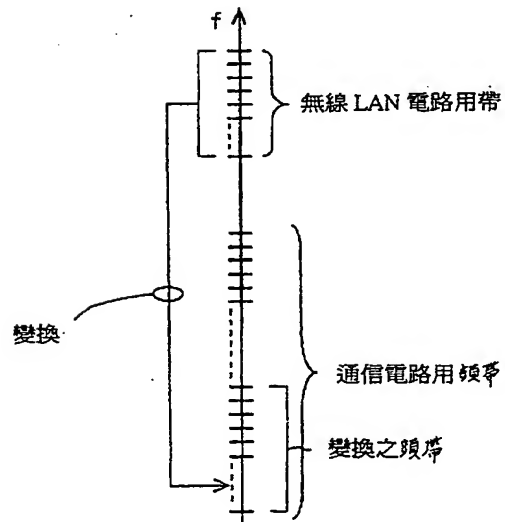


圖 54

(43)

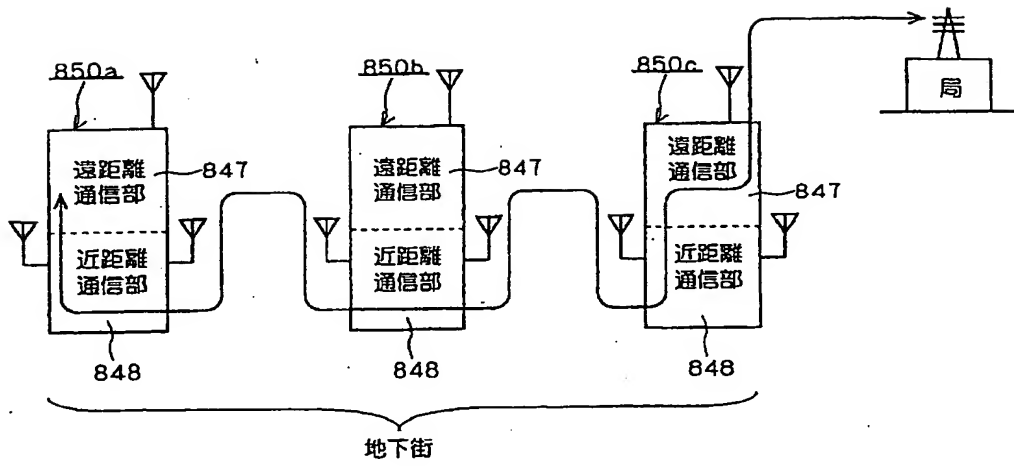


圖 55

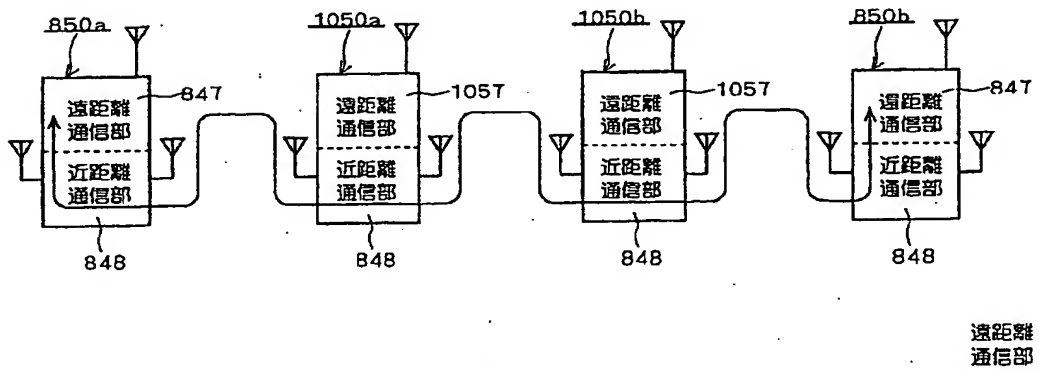


圖 56

(44)

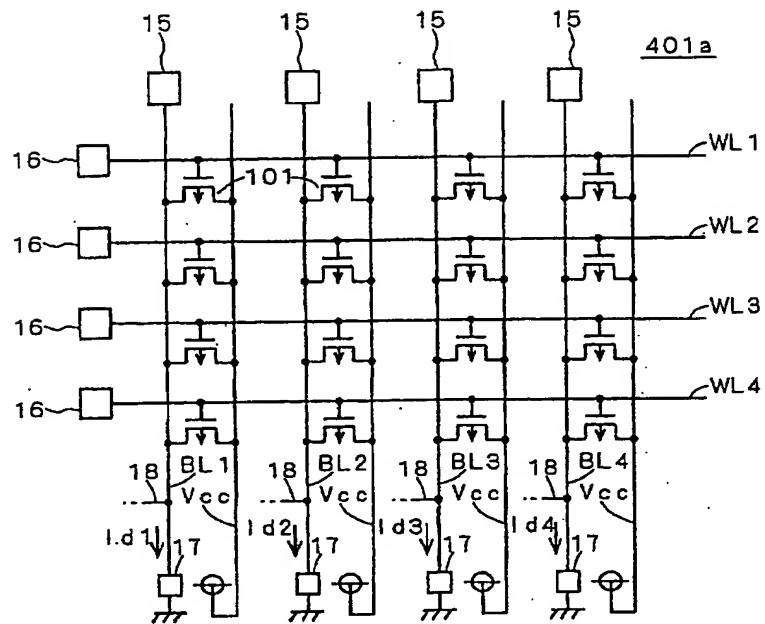


圖 57

	BL 1	BL 2	BL 3	BL 4
WL 1	1	1	0	0
WL 2	1	0	1	0
WL 3	0	0	0	1
WL 4	0	1	0	0

圖 58

(45)

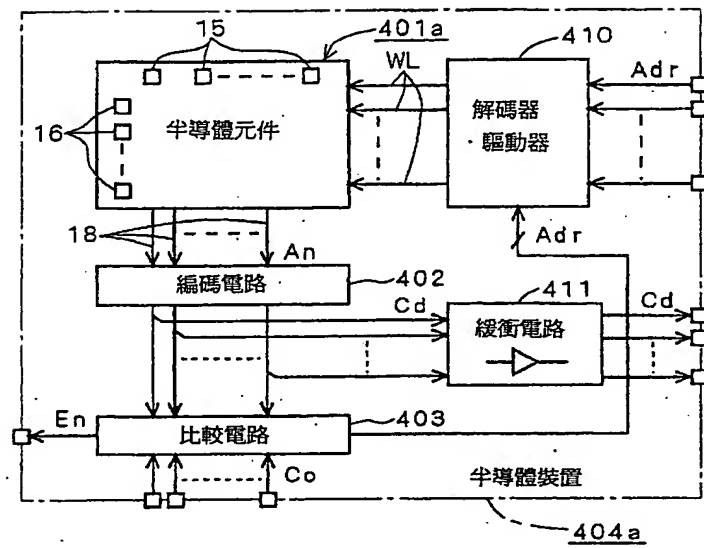


圖 59

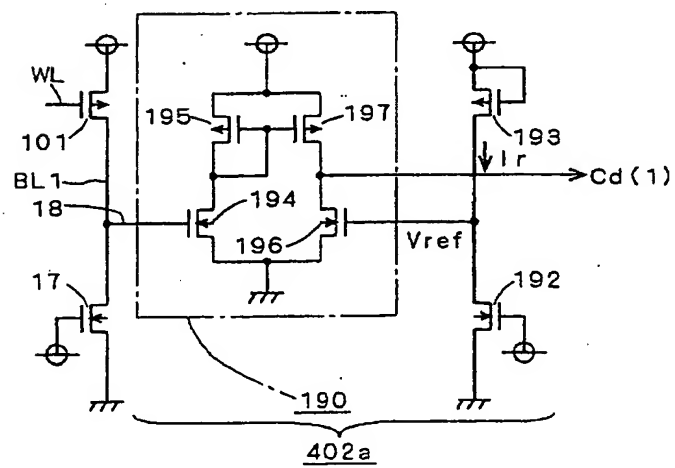


圖 60

(46)

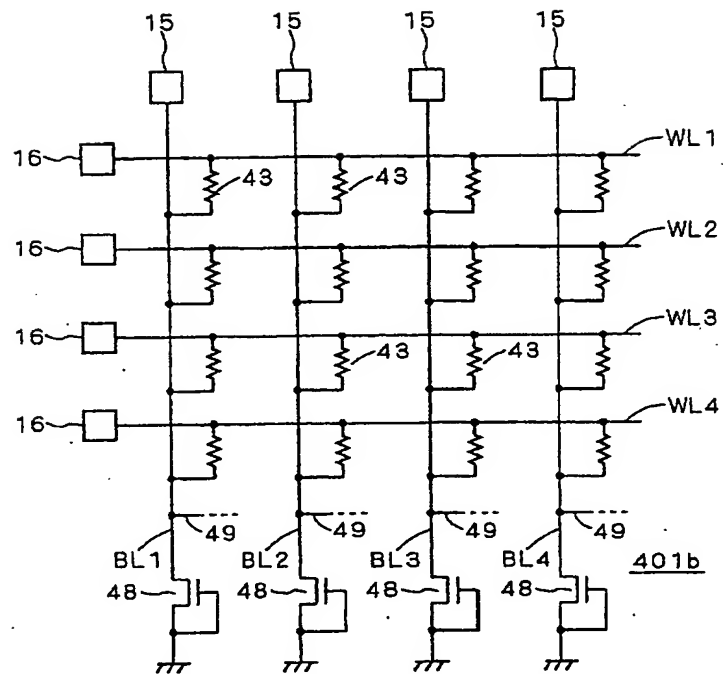


圖 61

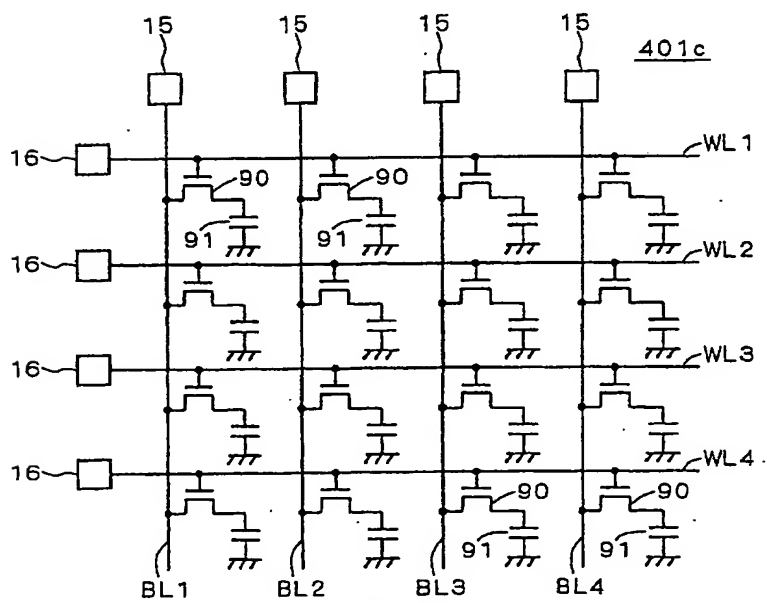


圖 62

(47)

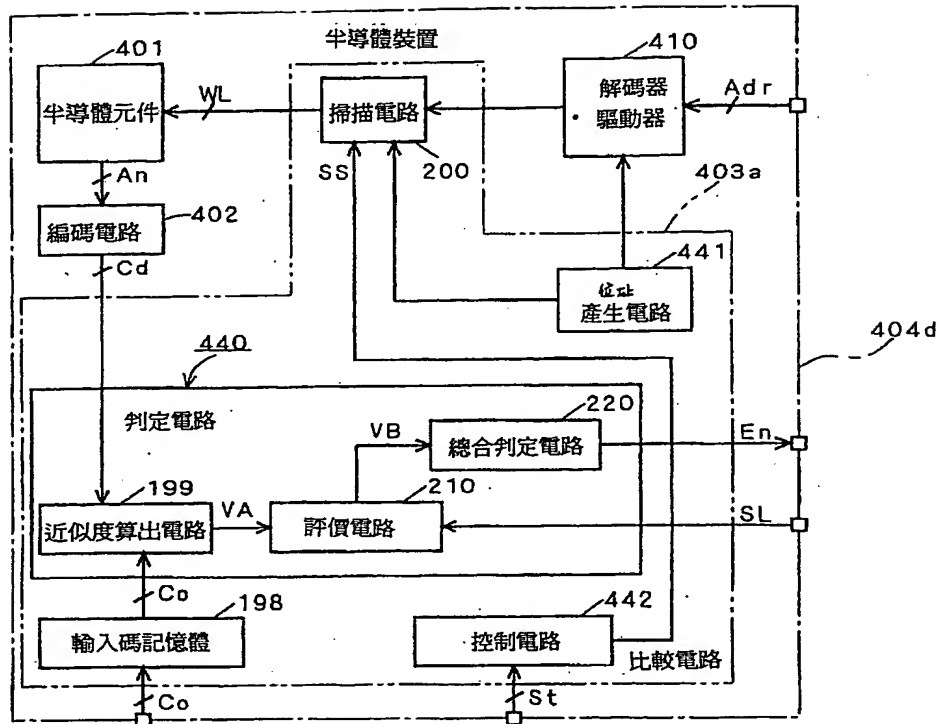


圖 63

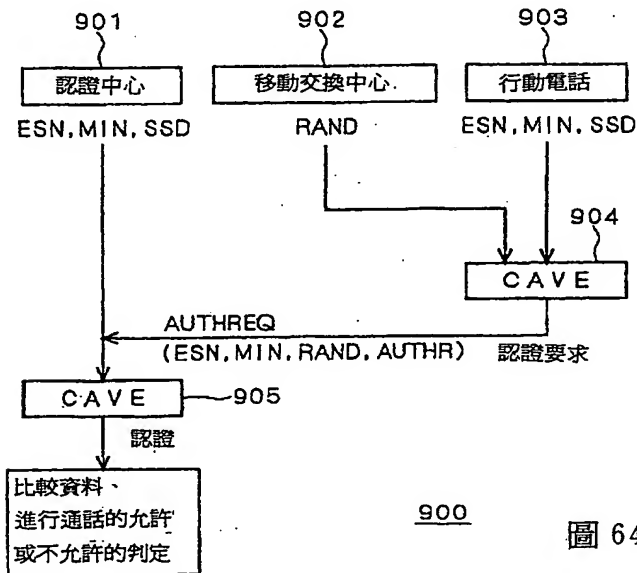


圖 64

(48)

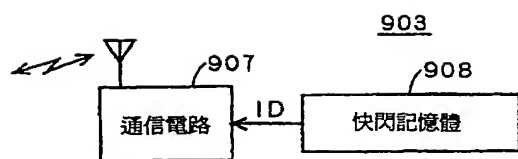


圖 65